

PAT-NO: JP407175838A

DOCUMENT-IDENTIFIER: JP 07175838 A

TITLE: MIXED MODE SIMULATING METHOD AND
MIXED MODE SIMULATOR

PUBN-DATE: July 14, 1995

INVENTOR-INFORMATION:

NAME

SATO, JUNJI

IWABUCHI, MASATO

YOKOMIZO, KOICHI

SUGIHARA, HITOSHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP05343827

APPL-DATE: December 17, 1993

INT-CL (IPC): G06F017/50

ABSTRACT:

PURPOSE: To improve the evaluation accuracy of a power supply noise by mixed mode simulation by considering the effect of load capacity in accordance with the delay time of a digital part for the calculation of the generating time of a waveform of a prescribed shape.

CONSTITUTION: When the start time of current calculation of a circuit simulator is delayed from triangular waveform generating time, the start time T4 of current calculation of the circuit simulator is

defined as the triangular waveform generating time, and current is linearly changed from corrected triangular waveform generating time T4 to peak current generating time T7. At this time, the varied inclination of a triangular waveform can be relaxed by correcting the waveform so as to make the triangular waveform supplied by a model parameter equal to an area. In such a way, it is possible to improve the evaluation accuracy of the power supply noise by the mixed mode simulation by considering the effect of the load capacity in accordance with the delay time of the digital part for the calculation of the generating time of the waveform of a prescribed shape.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-175838

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl.⁶

G 0 6 F 17/50

識別記号

庁内整理番号

7623-5L

F I

G 0 6 F 15/ 60

技術表示箇所

3 6 0 D

審査請求 未請求 請求項の数7 F D (全 16 頁)

(21) 出願番号

特願平5-343827

(22) 出願日

平成5年(1993)12月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 佐藤 純二

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 岩淵 真人

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 横溝 剛一

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(74) 代理人 弁理士 玉村 静世

最終頁に続く

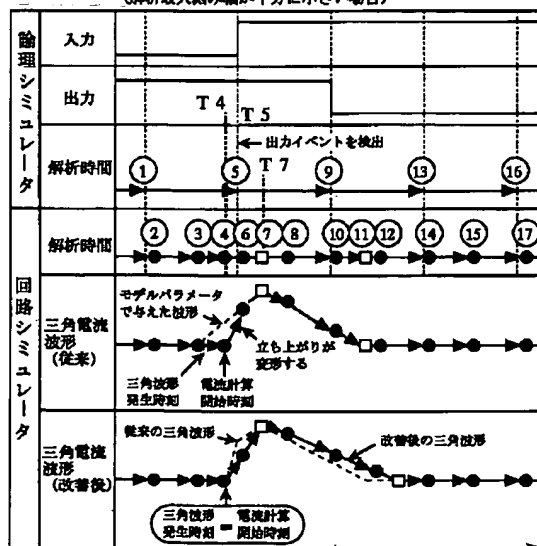
(54) 【発明の名称】 ミックスモードシミュレーション方法及びミックスモードシミュレータ

(57) 【要約】

【目的】 デジタル部の動作に伴う電流計算のためにモデル化された三角形波に対して電流計算開始時刻が遅れても電流の急峻な立ち上がり変化を防止できるミックスモードシミュレーション方法を提供する。

【構成】 回路シミュレータの過渡電流計算開始時刻が三角波の発生時刻より遅れるとき、上記過渡電流計算開始時刻を三角波の発生時刻として定義する。当該波形状が途中で折れ曲がってその傾きが部分的に急峻になること、即ち、その部分で発生されるとしてアナログ部に付加される電流の立ち上がり変化が急峻になることが防止され、インダクタンス成分を含む電源ネットを持つ回路のシミュレーションに対して電源ノイズレベルの予測を可能にする。

【図8】 デジタル部電流計算の過渡解析タイムチャート
(解析最大刻み幅が十分に小さい場合)



○ 内の数字は解析順序を示す
● 回路シミュレータが設定する解析時刻
□ デジタル部電流計算処理で回路シミュレータに設定された解析時刻

1

【特許請求の範囲】

【請求項1】 論理シミュレーションによって実現されるデジタル部から回路シミュレーションによって実現されるアナログ部へ情報を渡すことが予定される次の解析予定時刻と、次に回路シミュレーションを行うことが予定される解析予定時刻との何れか早い方の時刻を優先させるように、論理シミュレーションと回路シミュレーションの夫々の次の解析予定時刻を順次進めながら双方のシミュレーションを行うミックスモードシミュレーション方法であって、

上記デジタル部の出力状態の変化に応じて発生される過渡電流を所定形状の波形に近似してアナログ部に渡すための演算を行うデジタル部電流計算処理と、

上記デジタル部電流計算処理で得られる波形の発生時刻をアナログ部の解析予定時刻として設定する処理と、所定形状の波形に近似された過渡電流を上記設定された発生時刻からアナログ部に付加して回路シミュレーションを行う処理とを含み、

上記デジタル部電流計算処理は、アナログ部の解析予定時刻として設定すべきその波形の発生時刻をデジタル部の負荷容量の増大に応じて早い時刻に補正する補正処理を含んで成るものであることを特徴とするミックスモードシミュレーション方法。

【請求項2】 論理シミュレーションによって実現されるデジタル部から回路シミュレーションによって実現されるアナログ部へ情報を渡すことが予定される次の解析予定時刻と、次に回路シミュレーションを行うことが予定される解析予定時刻との何れか早い方の時刻を優先させるように、論理シミュレーションと回路シミュレーションの夫々の次の解析予定時刻を順次進めながら双方のシミュレーションを行うミックスモードシミュレーション方法であって、

上記デジタル部の出力状態の変化に応じて発生される過渡電流を所定形状の波形に近似してアナログ部に渡すための演算を行うデジタル部電流計算処理と、

上記デジタル部電流計算処理で得られる波形の発生時刻をアナログ部の解析予定時刻として設定する処理と、所定形状の波形に近似された過渡電流を上記設定された発生時刻からアナログ部に付加して回路シミュレーションを行う処理とを含み、

上記デジタル部電流計算処理は、アナログ部の解析予定時刻として設定すべきその波形の発生時刻がアナログ部において既に解析を終了した時刻より前の時刻であるとき、次に回路シミュレーションに切換えられる時刻を上記波形の発生時刻とする補正処理を含んで成るものであることを特徴とするミックスモードシミュレーション方法。

【請求項3】 論理シミュレーションによって実現されるデジタル部から回路シミュレーションによって実現されるアナログ部へ情報を渡すことが予定される次の解

2

析予定時刻と、次に回路シミュレーションを行うことが予定される解析予定時刻との何れか早い方の時刻を優先させるように、論理シミュレーションと回路シミュレーションの夫々の次の解析予定時刻を順次進めながら双方のシミュレーションを行うミックスモードシミュレーション方法であって、

上記デジタル部の出力状態の変化に応じて発生される過渡電流を所定形状の波形に近似してアナログ部に渡すための演算を行うデジタル部電流計算処理と、

10 上記デジタル部電流計算処理で得られる波形の発生時刻をアナログ部の解析予定時刻として設定する処理と、所定形状の波形に近似された過渡電流を上記設定された発生時刻からアナログ部に付加して回路シミュレーションを行う処理とを含み、

上記デジタル部電流計算処理は、上記所定形状の波形に近似された過渡電流のピーク電流が飽和電流であるときの負荷容量に比べて小さな負荷容量を持つデジタル部に対しては、所定形状に近似された過渡電流のピーク値を小さくし、且つ波形の発生時刻を遅らせる補正処理を含んで成るものであることを特徴とするミックスモードシミュレーション方法。

【請求項4】 論理シミュレーションによって実現されるデジタル部から回路シミュレーションによって実現されるアナログ部へ情報を渡すことが予定される次の解析予定時刻と、次に回路シミュレーションを行うことが予定される解析予定時刻との何れか早い方の時刻を優先させるように、論理シミュレーションと回路シミュレーションの夫々の次の解析予定時刻を順次進めながら双方のシミュレーションを行うミックスモードシミュレーション方法であって、

上記デジタル部の出力状態の変化に応じて発生される過渡電流を所定形状の波形に近似してアナログ部に渡すための演算を行うデジタル部電流計算処理と、

上記デジタル部電流計算処理で得られる波形の発生時刻をアナログ部の解析予定時刻として設定する処理と、所定形状の波形に近似された過渡電流を上記設定された発生時刻からアナログ部に付加して回路シミュレーションを行う処理とを含み、

40 設定された波形とその波形の発生時刻に基づいて過渡電流をモデル化してアナログ部に付加するための電流計算用等価回路部を生成する処理とを含み、

上記デジタル部電流計算処理は、上記所定波形に近似された過渡電流のピーク電流が飽和電流であるときの負荷容量に比べて大きな負荷容量を持つデジタル部に対しては、所定形状に近似された過渡電流のピーク値を変更することなく当該波形の終了時刻を遅らせる補正処理を含んで成るものであることを特徴とするミックスモードシミュレーション方法。

【請求項5】 上記所定形状の波形に近似された過渡電流は、アナログ部が結合される電源ネットに接続され、

50

過渡電流の電流値に應ずる電流源と抵抗と容量を備えるようにモデル化される電流計算用等価回路部であることを特徴とする請求項1乃至4の何れか1項記載のミックスモードシミュレーション方法。

【請求項6】 デジタル部に対して論理シミュレーションを行う論理シミュレーション手段と、論理シミュレーション手段によって実現されるデジタル部の出力状態の変化に伴う過渡電流を所定形状の波形に近似して取得する電流取得手段と、前記電流取得手段で取得した過渡電流を電源系統に対応される電源ネットに与えて電源ノイズとして伝達する電流ノイズ伝達手段と、前記論理シミュレーション手段によって得られる情報を伝達する信号伝達手段と、

前記信号伝達手段及び電流ノイズ伝達手段から伝達される情報を受けて、アナログ部に対して回路シミュレーションを行う回路シミュレーション手段と、上記デジタル部からアナログ部へ情報を渡すことが予定される次の解析予定時刻と、次に回路シミュレーションを行うことが予定される解析予定時刻との何れか早い方の時刻を優先させるように、論理シミュレーション手段と回路シミュレーション手段の夫々の次の解析予定時刻を順次進めながら双方のシミュレーション手段を同期制御する同期制御手段とを含み、上記電流取得手段は、アナログ部の解析予定時刻として設定すべきその波形の発生時刻をデジタル部の負荷容量の増大に応じて早い時刻に補正する補正手段を含んで成るものであることを特徴とするミックスモードシミュレータ。

【請求項7】 デジタル部に対して論理シミュレーションを行う論理シミュレーション手段と、論理シミュレーション手段によって実現されるデジタル部の出力状態の変化に伴う過渡電流を所定形状の波形に近似して取得する電流取得手段と、前記電流取得手段で取得した過渡電流を電源系統に対応される電源ネットに与えて電源ノイズとして伝達する電流ノイズ伝達手段と、前記論理シミュレーション手段によって得られる情報を伝達する信号伝達手段と、

前記信号伝達手段及び電流ノイズ伝達手段から伝達される情報を受けて、アナログ部に対して回路シミュレーションを行う回路シミュレーション手段と、上記デジタル部からアナログ部へ情報を渡すことが予定される次の解析予定時刻と、次に回路シミュレーションを行うことが予定される解析予定時刻との何れか早い方の時刻を優先させるように、論理シミュレーション手段と回路シミュレーション手段の夫々の次の解析予定時刻を順次進めながら双方のシミュレーション手段を同期制御する同期制御手段とを含み、上記電流取得手段は、アナログ部の解析予定時刻として

設定すべきその波形の発生時刻がアナログ部において既に解析を終了した時刻であるとき、次に回路シミュレーションに切換えられる時刻を上記波形の発生時刻とする補正手段を含んで成るものであることを特徴とするミックスモードシミュレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ミックスモードシミュレーション方法に関し、さらに詳しくは、論理シミュレーションによって実現されるデジタル部の動作に伴う電流の計算機能を有する、論理シミュレーションと回路シミュレーションとを統合したミックスモードシミュレーション方法に関する。

【0002】

【従来の技術】IC（インテグレートド・サーキット）のシミュレーションには、回路シミュレーションと論理シミュレーションとミックスモードシミュレーションがある。回路シミュレーションは、対象をアナログ回路として扱い、換言すればシミュレーションのための入力情報は例えばトランジスタレベルによって記述され、詳細な電氣的動作を求めるためのものであって、可変のタイムステップで解析を行う。論理シミュレーションは、対象をデジタル回路として扱い、換言すればシミュレーションのための入力情報はレジスタトランスファレベル若しくは機能レベルで記述され、論理的な動作を求めるためのものであって、イベントドリブン方式を用いて、一定のユニットタイム（解析時刻単位）で等間隔に解析を行う。したがって、論理シミュレーションに比べて回路シミュレーションは多量のマシンリソースと計算機処理時間を必要とする。ミックスモードシミュレーションは、回路シミュレーションと論理シミュレーションとが混在したものであり、LSI（ラージ・スケール・インテグレートドサーキット）のシミュレーション用に開発されている。ミックスモードシミュレーションにおいて、回路シミュレーションが適用される回路部分をアナログ部と呼び、論理シミュレーションが適用される回路部分をデジタル部と呼ぶ。アナログ部とデジタル部の間で情報の受け渡しをするために、両シミュレーション動作には同期が採られる。

【0003】アナログ／デジタル混在LSIのミックスモードシミュレーションにおいては、当該LSIのデジタル回路を論理シミュレーション対象とし、アナログ回路を回路シミュレーション対象とすることがシミュレーションの能率化を図る上で望ましい。

【0004】ところで、アナログ／デジタル混在LSIにおいてはデジタル回路とアナログ回路で電源ラインが共有され、しかも当該電源ラインの抵抗成分が零でないことを考えると、ミックスモードシミュレーションにおいてデジタル部で発生する電源ノイズがアナログ部にどのように影響するかを評価できることが望まし

5

く、その様な考慮は、ディジタル回路とアナログ回路との連動特性を高精度にシミュレーションすることを可能にする。仮にそのような考慮をしない場合には、LSI若しくは回路を試作する前のシミュレーション段階において、ディジタル回路部分の動作による電源電圧変動に起因するノイズを評価することができないこと、当該電源ノイズによるアナログ回路部分の誤動作を評価することができないこと、前記電源ノイズによって生ずるディレイを評価できないこと、電源ノイズマージンを評価できないことなどを挙げることができる。このとき、ディジタル回路部分の動作によって発生する電源ノイズを評価するために、ディジタル回路部分をトランジスタレベルで記述して回路シミュレーションを行うことができるが、レジスタトランスフェラレベルや機能レベルの論理シミュレーションに比べて、CPUやメモリなどのマシンリソースを多量に消費すると共に処理時間が著しく増大してしまい、現実的ではない。

【0005】そこで、特願平3-209597号、及び特願平4-54215号において、論理シミュレーションによって実現される回路部分（ディジタル部）内の論理ブロック若しくは論理素子の動作と同期的に電源ノイズを三角形波で近似して計算し、これを電流計算用等価回路部として回路シミュレーション対象に含め、回路シミュレーションを実行する回路部分（アナログ部）と合わせて回路シミュレーションを行う発明を提案した。換言すれば、論理シミュレーションと同期的にディジタル部に含まれる論理素子の出力変化に伴う過渡電流（以下単に本明細書では電源ノイズ電流とも記す）を取得し、前記ディジタル部とアナログ部とを接続する電源配線系統に着目した電源ネットにその電源ノイズ電流を与えたモデル（電流計算用等価回路部）を想定する。このとき、電源ノイズ電流の発生タイミングを論理シミュレーションに同期させて生成するため、例えば、前記ディジタル部に、入力論理値によって出力論理値が一義的に決定される論理素子としての論理モデルと、入力論理値や出力論理値の組み合わせを状態変数として論理モデルに電流変化を生じさせる状態遷移を表すための電流モデルとを割当て、その電流モデルによって状態遷移が発生するタイミングを、前記論理モデルの出力変化タイミング、すなわち、論理素子における出力イベントの発生タイミングとして採用する。このタイミングに基づいて実際に電源ノイズ電流を得るには、前記電流発生タイミングを基準に、その電流を例えば三角波形に近似して演算する。すなわち、論理シミュレーションにおける出力イベントの発生時刻に対して三角波形の立ち上がり起点の解析時刻（回路シミュレーションにおける電流計算開始時刻若しくは三角波形発生時刻）、三角波形の頂点に対応される解析時刻、及び立ち下がり終点の解析時刻などを回路シミュレーションの解析時刻として登録する。回路シミュレーションではその様に設定された解析時刻毎

6

に上記三角波形で近似される電源ノイズ電流を電流計算用等価回路部に与えて回路シミュレーションに反映する。

【0006】

【発明が解決しようとする課題】しかしながら、上記のような電源ノイズ電流の演算手法では以下の問題点のあることが本発明者によって明らかにされた。

（1）回路シミュレータの上記電流計算開始時刻（電源ノイズ電流計算開始時刻）が三角波形発生時刻より遅くなることがある。即ち、論理シミュレーションにおいて上記出力イベントが発生したとき、近似された三角波形の立ち上がり起点として登録すべき解析時刻を越えた時刻が回路シミュレーションの現在の解析時刻であるような場合、結果として当該現在の解析時刻の前に次の解析時刻を登録できず、換言すれば、現在の解析時刻より前に三角波形発生時刻を登録することになり、近似された三角波形の発生時刻に対して上記電源ノイズ電流の計算開始時刻が遅れる。そうすると、近似された三角波形の立ち上がり変化に対し実際に計算される電流の立ち上がり変化が急峻になる場合が生ずる。その結果、インダクタンス成分（例えばボンディングワイヤに寄生するインダクタンス成分）を含む電源ネットを持つ大規模回路のシミュレーションに対して電源ノイズレベルの予測が困難となる。

（2）三角波形の発生時刻の計算に論理素子の遅延時間に対応する負荷容量の影響を考慮しない場合には、一つのモデルパラメータを負荷容量の異なる条件で使用すると、ディジタル部での電源ノイズの発生時刻に大きな誤差が生じる。すなわち、前記論理素子の出力変化タイミングである出力イベントの発生タイミングに対して三角波形の立ち上がり起点（電流計算開始時刻）を負荷容量に依存させない場合、負荷容量を大きくする程その出力イベントに対応される入力イベント発生時刻に対する電源ノイズの発生時刻の誤差が大きくなる。この誤差は回路シミュレーションにおける電源ノイズの評価精度を低下させる。この点に対し、大規模回路の電源ノイズを評価するために負荷容量毎にモデルパラメータを用意しようとすると、モデルパラメータの準備に多大な計算機処理時間を費やしてしまう。

【0007】本発明の目的は、ミックスモードシミュレーションにおいて回路シミュレーションで反映すべきディジタル部の電源ノイズ計算の精度を向上させることができる技術を提供することにある。本発明の別の目的は、電流計算のためにモデル化された三角波形のような所定形状波形に対して電流計算開始時刻が遅れても電流の急峻な立ち上がり変化を防止して電源電流ノイズを計算できるミックスモードシミュレーション技術を提供することにある。本発明の更に別の目的は、ミックスモードシミュレーションにおける電源電流ノイズの電流開始時刻に負荷容量依存性を持たせることができる技術を提

供することにある。本発明のその他の目的は、電源ノイズの評価に必要な所定形状波形に近似されたモデルパラメータの準備に費やす時間を短縮することができるミックスモードシミュレーション技術を提供することにある。

【0008】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】すなわち、論理シミュレーションによって実現されるデジタル部から回路シミュレーションによって実現されるアナログ部へ情報を渡すことが予定される次の解析予定時刻と、次に回路シミュレーションを行うことが予定される解析予定時刻との何れか早い方の時刻を優先させるように、論理シミュレーションと回路シミュレーションの夫々の次の解析予定時刻を順次進めながら双方のシミュレーションを行うミックスモードシミュレーション方法であって、上記デジタル部の出力状態の変化に応じて発生される過渡電流を所定形状の波形に近似してアナログ部に渡すための演算を行うデジタル部電流計算処理と、上記デジタル部電流計算処理で得られる波形の発生時刻をアナログ部の解析予定時刻として設定する処理と、所定形状の波形に近似された過渡電流を上記設定された発生時刻からアナログ部に付加して回路シミュレーションを行う処理とを含む。上記デジタル部電流計算処理は、第1の補正処理として、アナログ部の解析予定時刻として設定すべきその波形の発生時刻をデジタル部の負荷容量の増大に応じて早い時刻に補正する第1の補正処理を含む。また別のミックスモードシミュレーション方法において、上記デジタル部電流計算処理は、第2の補正処理として、アナログ部の解析予定時刻として設定すべきその波形の発生時刻がアナログ部において既に解析を終了した時刻であるとき、次に回路シミュレーションに切換えられる時刻を上記波形の発生時刻とする第2の補正処理を含む。さらに別のミックスモードシミュレーション方法において、上記デジタル部電流計算処理は、第3の補正処理として、上記所定形状の波形に近似された過渡電流のピーク電流が飽和電流であるときの負荷容量に比べて小さな負荷容量を持つデジタル部に対しては、所定形状に近似された過渡電流のピーク値を小さくし、且つ波形の発生時刻を遅らせる第3の補正処理を含む。そのほかのミックスモードシミュレーション方法において、上記デジタル部電流計算処理は、第4の補正処理として、上記所定形状に近似された過渡電流のピーク電流が飽和電流であるときの負荷容量に比べて大きな負荷容量を持つデジタル部に対しては、所定形状に近似された過渡電流のピーク

値を変更することなく当該波形の終了時刻を遅らせる第4の補正処理を含む。

【0011】上記ミックスモードシミュレーション方法を実現するミックスモードシミュレータは、デジタル部に対して論理シミュレーションを行う論理シミュレーション手段と、論理シミュレーション手段によって実現されるデジタル部の出力状態の変化に伴う過渡電流を所定形状の波形に近似して取得する電流取得手段と、前記電流取得手段で取得した過渡電流を電源系統に対応される電源ネットに与えて電源ノイズとして伝達する電流ノイズ伝達手段と、前記論理シミュレーション手段によって得られる情報を伝達する信号伝達手段と、前記信号伝達手段及び電流ノイズ伝達手段から伝達される情報を受けて、アナログ部に対して回路シミュレーションを行う回路シミュレーション手段と、上記デジタル部からアナログ部へ情報を渡すことが予定される次の解析予定時刻と、次に回路シミュレーションを行うことが予定される解析予定時刻との何れか早い方の時刻を優先させるように、論理シミュレーション手段と回路シミュレーション手段の夫々の次の解析予定時刻を順次進めながら双方のシミュレーション手段を同期制御する同期制御手段とを含む。上記電流取得手段は、アナログ部の解析予定時刻として設定すべきその波形の発生時刻をデジタル部の負荷容量の増大に応じて早い時刻に補正する補正手段を含んで成る。別のミックスモードシミュレータにおいて、上記電流取得手段は、アナログ部の解析予定時刻として設定すべきその波形の発生時刻がアナログ部において既に解析を終了した時刻であるとき、次に回路シミュレーションに切換えられる時刻を上記波形の発生時刻とする補正手段を含んで成る。

【0012】

【作用】上記した手段によれば、第1の補正処理は、所定形状に近似された波形例えば三角波形を計算するデジタル部の遅延時間に対応する負荷容量の大きさに応じて上記波形の発生時刻を早い時期に補正する。一つのモデルパラメータに従って所定形状に近似された過渡電流の波形を負荷容量の異なる条件で使用するとき、上記第1の補正処理を施さない場合には、デジタル部の入力変化から出力状態の変化までの時間が延びても所定形状波形の発生時刻は出力状態の変化時間を基準に与えられるため、デジタル部での電源ノイズの発生時刻に大きな誤差が生じる。このことにより、上記所定形状波形の発生時刻の計算にデジタル部の遅延時間に対応する負荷容量の影響を考慮することは、ミックスモードシミュレーションによる電源ノイズの評価精度を向上させる。さらに、負荷容量毎にモデルパラメータを用意する必要も無いので、モデルパラメータの準備に必要な多大な計算機処理時間の増大も抑制する。

【0013】第2の補正処理は、回路シミュレータの過渡電流計算開始時刻が所定形状波形の発生時刻より遅れ

る場合に、回路シミュレータの過渡電流計算開始時刻を、所定形状に近似された波形例えば三角波形の発生時刻として定義する。この事が、当該波形形状が途中で折れ曲がってその傾きが部分的に急峻になること、換言すれば、その部分で発生されるものとしてアナログ部に付加される電流の立上がり変化が急峻になることを抑止し、インダクタンス成分を含む電源ネットを持つ回路のシミュレーションに対して電源ノイズレベルの予測を困難にする事態を防止する。さらに、第2の補正処理では、過渡電流開始時刻が補正された所定形状の波形の面積を、当該補正前の形状の面積と同一とするように、波形の終点位置も補正する。この事は、補正前後における過渡電流の合計値は同一であることを保証し、過渡電流の総量の変化による影響の発生を未然に阻止する。

【0014】所定形状波形によって決定される過渡電流のピーク電流が飽和電流であるときの負荷容量を基準に、ディジタル部の負荷容量が上記飽和電流に対応される負荷容量よりも小さい時は第3の補正処理を行い、大きい時は第4の補正処理を行うことは、過渡電流を近似する波形と実際の過渡電流波形との負荷容量依存性に対して高精度に整合させる。

【0015】

【実施例】

〔ミックスモードシミュレーション対象回路の分割例〕

図2にはシミュレーション対象回路の分割例が概念的に示される。この例はアナログ／ディジタル混在型の半導体集積回路を一例とするものであり、論理シミュレーション対象とされるディジタル部、回路シミュレーション対象とされるアナログ部、各部に電源を供給する電源系統に着目した電源ネットに分割される。ディジタル部はブロック1からブロック7として図示され、アナログ部はブロック8及びブロック9として図示される。以下ブロック1からブロック7をディジタルブロックDBLK1～DBLK7とも称し、ブロック8及びブロック9をアナログブロックABLK8、ABLK9とも称する。尚、同図においてブロック間の信号伝達系については省略されている。

【0016】前記ディジタルブロックDBLK1乃至DBLK7は、少なくとも信号値として“1”、“0”の何れかの論理値を採り得るブロックであり、信号の流れなどに着目して論理素子をグループ化したものである。例えば、論理素子の論理接続を規定するデータ、入力信号パターンを指定するデータ、夫々の論理素子の種類や遅延情報など、所定の記述形式で構成された、論理シミュレーションのための一群の入力データとして把握される。本実施例は、特に制限されないが、ディジタルブロックをゲートレベルで把握する。ゲートレベルで取り扱われるブロックは、例えば信号値として、“1”、“0”、不定、又はハイ・インピーダンスを採る。

【0017】アナログブロックABLK8及びABLK

9は、アナログ量の信号値を採り得るブロックであり、信号の流れなどに着目してアナログ素子をグループ化したものである。例えば、トランジスタの接続関係、入力信号波形、トランジスタの等価回路モデルや電気的な定数などによって構成される、回路シミュレーションのための一群の入力データとして把握される。

【0018】電源ネットはGND（接地電位）側電源ネットNETgとVDD（電源電圧）側電源ネットNETvによって構成される。前記電源ネットNETg、NETvにおいて、Rは電源配線の抵抗成分、Cは電源配線と基板等などの間に存在する浮遊容量若しくは寄生容量、Lは電源端子やボンディングワイヤなどに寄生するインダクタンス成分である。斯る電源ネットNETg、NETvはLRC等価回路として把握することができ、半導体集積回路のレイアウトパターンに依存して決定されることになる。尚、図2においてPvddはVDD用の電源端子、PgndはGND用の電源端子である。

【0019】〔ミックスモードシミュレーションの前準備〕図1にはディジタル部電流計算を考慮したミックスモードシミュレーション方法の一例フローチャートが示される。このフローチャートで示されるミックスモードシミュレーションは、回路シミュレータと論理シミュレータとを統合したミックスモードシミュレータにて行われる。

【0020】同図に示されるシミュレーション開始に先立って前準備が行われる。前準備は、シミュレーションの対象即ちシミュレーションに利用する情報を準備する。ミックスモードシミュレータへの入力は、解析対象回路を論理レベルで記述した論理レベルデータと、解析対象回路を回路レベルで記述した回路レベルデータとされる。論理レベルデータは、例えば岩波講座マイクロエレクトロニクス4VLSIの設計I第3章（岩波書店）に示される様に論理素子の機能や信号の接続関係を指示する記述とされる。回路レベルデータは、例えばASIC設計回路シミュレータSPICE入門第3章SPICEの入力記述（日本工業センター）に示される様に回路素子の特性とその接続関係を指示した記述とされる。論理レベルで記述された回路（例えば図2のディジタル部DBLK1～DBLK7）は、論理シミュレーション対象とされ、論理シミュレータで解析される。回路レベルで記述された回路（例えば図2のアナログブロックABLK8、ABLK9）は、回路シミュレーション対象とされ、回路シミュレータで解析される。例えば前準備では、図3に示されるようにシミュレーション対象とされるディジタルブロックDBLK7の論理情報とアナログブロックABLK8の回路情報と共に、相互のブロック間でやりとりする信号が定義され、さらにそれらブロックが電源ネットのどのノードに接続するかなどが定義されて、所要の論理レベルデータと、回路レベルデータが用意される。

【0021】図3に従えば、デジタルブロックDBLK7は、VDD側電源ネットNETvのノードVDD1に結合されると共に、GND側電源ネットNETgのノードGND1に結合される。アナログブロックABLKは、VDD側電源ネットNETvのノードVDD2に結合されると共に、GND側電源ネットNETgのノードGND2に結合される。

【0022】前記前準備で用意されるデジタルブロックに対してはそれに含まれる論理素子に、入力論理値によって出力論理値が一義的に決定される論理モデルと、例えば入力論理値と出力論理値の組み合わせを状態変数として論理素子に電流変化を生じさせる状態遷移を表す電流モデルとを割当てる。電流モデルが割り当てられる論理素子は、インバータ、ナンドゲート、ノアゲートなどの論理ゲートやそれらの複合ゲートといった組み合わせ回路、そしてフリップフロップやレジスタのような記憶回路としての順序回路とされる。

【0023】図4には論理ゲートの一例としてナンドゲートに着目したときの論理モデルと電流モデルの一例が示される。同図では(a)に示されるようにIN1とIN2を2入力として出力OUTを得る2入力ナンドゲートを一例とする。このナンドゲートはCMOS回路では(b)のように表され、CLは出力側の負荷容量を意味する。この2入力ナンドゲートの論理モデルは、(c)に示される真理値表の内容を有する。(d)は2入力ナンドゲートにおける電流モデルの概念的な内容を示す。これは入力論理値の組み合わせを状態変数とし、その状態変数の変化に対する負荷容量CLの電流の遷移状態を示す。即ち、2入力IN1、IN2の状態(00, 01, 10, 11)が状態変数として与えられるとき、縦方向(A側)に掲げる状態変数が横方向(B)に掲げる状態変数に変化したときの負荷容量の放電(GNDとして図示)又は充電(VDDとして図示)、或いは変化無し(-として図示)によって遷移状態が示される。例えば負荷容量が放電されるのは、2入力IN1、IN2が00(A側)から11(B側)に、01(A側)から11(B側)に、或いは10(A側)から11(B側)に変化したときとされる。逆に、負荷容量が充電されるのは、2入力IN1、IN2が11(A側)から00(B側)に、11(A側)から01(B側)に、或いは11(A側)から10(B側)に変化したときとされる。状態変数のその他の変化は出力に変化を与えない。尚、論理モデル及び電流モデルの記述形式は図4に示される形式に限定されるものではない。状態変数を出力論理値とすることもできる。また、図4の(d)において状態変数を2入力の論理値とするとときに当該状態変数に出力論理値を関連づけておくこともできる。

【0024】前記前準備で用意されるデジタル部の情報には入力信号パターンの情報も含まれる。この入力信号パターンの記述は、例えば図5における入力IN1、

IN2に示されるように時間tに対する入力論理値の変化として与えることができる。詳細は後で説明するが、前記論理モデル及び電流モデル並びに入力パターンによって2入力ナンドゲートに対する論理シミュレーションが行われると、図5に示されるように、論理モデルに従った出力OUTに基づいて、電流モデルの状態遷移に従った充電電流(VDD側)又は放電電流(GND側)の発生タイミングを得ることができる。

【0025】{ミックスモードシミュレーションの同期制御}ミックスモードシミュレーションでは、アナログ部とデジタル部の間で信号の受け渡しをするために、回路シミュレーションと論理シミュレーションとの間の同期が採られる。所定のシミュレーション区間において信号の受渡しが一方向である場合には信号発生元となる回路部のシミュレーションを行った後に信号受け側の回路部のシミュレーションを行うという手順でその同期を制御することができる。所定のシミュレーション区間において信号の受渡しが双方向で行われる場合には、相互に一方の回路部のシミュレーション状態が他方の回路部のシミュレーションに影響を与えるため、シミュレーションの進行状況に応じて回路シミュレータと論理シミュレータとを逐次同期を採って制御しなければならない。斯る場合の同期制御は、論理シミュレーション対象とされるデジタル部から回路シミュレーション対象とされるアナログ部へ信号が渡る次の予定時刻と回路シミュレーションを行う次の予定時刻のうちの早い方の時刻を優先してシミュレーションできるように回路シミュレーションと論理シミュレーションを同期的に進めていくようにされる。

【0026】この同期制御の一例を説明する。例えば図7に示されるように論理シミュレーションは一定のユニットタイム Δt 毎に行われ、回路シミュレーションは同図の●や□で示される解析時刻毎に行われる。○内に記された数字は解析順序を示す。図7においてT1が論理シミュレータの現在の解析時刻であるとする、論理シミュレータの次の解析時刻は③の解析に対応される時刻T3であり、回路シミュレータの次の解析時刻は②の解析に対応される時刻T2とされる。このとき、時刻T3は時刻T2の後である。したがって、①の解析を伴う論理シミュレーションの次は②の解析を伴う回路シミュレーションが行われる。このようにして、回路シミュレータと論理シミュレータの同期制御が行われる。尚、図7において□で示される④、⑤、⑥の解析時刻は、入力③が変化される③の解析において論理シミュレータがその入力の変化に起因して後から⑦で出力変化のあることを予じめ検出した時点で登録される。したがって、③の時点で論理シミュレーションが開始されるときには④の解析予定時刻は未だ登録されておらず、②の次の解析時刻は論理シミュレーションの③とされる。

【0027】このような同期制御は図1のフローチャー

トにおけるステップS1、S2、S3、S5、S9、S10、S11によって実現される。即ち、シミュレーションの終了時刻に至る迄の間にステップS10で回路シミュレーションが行われると、ステップS1において回路シミュレータの次の解析時刻Aが求められる。時刻Aは、回路シミュレータの現在の解析時刻+解析刻み幅（解析刻み幅は任意の時間幅に可変される）によって得られる。また、ステップS2で1ユニットタイム分の論理シミュレーションが行われると、ステップS9にて論理シミュレータの次の解析時刻Dが求められる。時刻Dは次のユニットタイムとされる。回路シミュレーションを行うか論理シミュレーションを行うかは、ステップS2にてD<tAが判別され、時刻Aの方が大きいときは（論理シミュレーションの次の解析時刻に対して回路シミュレーションの次の解析時刻の方が後の場合）、論理シミュレーション及び後で説明する電流計算処理が行われ、そうでない場合には回路シミュレーションが行われる。

【0028】上記のような同期制御においては、後述するように、論理シミュレーによって実現されるデジタル部内の論理素子の動作と同期的に電源ノイズを三角波形で近似して計算し、これを電流計算用等価回路部として回路シミュレーション対象に含め、回路シミュレーションを実行する回路部分（アナログ部）と合わせて回路シミュレーションを行う。これによって、大規模回路の電源ノイズレベルの予測、電源ノイズによる回路の誤動作を評価できるようにされている。

【0029】{デジタル部電流計算} 図1のフローチャートにおいて、上記デジタル部の動作に起因して発生する電源電流ノイズを三角波形で近似して計算するデジタル部電流計算に関係する処理ステップは、S4～S8に示される。1ユニットタイム分の論理シミュレーションが行われると（ステップS3）、電流を計算するイベントの保存が行われる（ステップS4）。例えば当該ユニットタイムにおいて入力に変化のある論理素子が存在する場合、その論理素子を特定する情報や当該入力変化の時刻と入力変化の遷移方向などの情報が保存される。次いで、保存されたイベントがその後に出力イベントを伴うか、換言すれば、当該入力変化は出力変化を生ずるかが判定される（ステップS5）。出力イベントが有ると判定された場合には、デジタル部電流計算の時刻と電流値（後述する電流ノイズのピーク電流値）などが計算され（ステップS6）、更に、その計算時刻と電流値が補正される（ステップS7）。補正された電流計算時刻と電流値は回路シミュレータに設定される（ステップS8）。例えば図7において、現在の論理シミュレータの解析時刻が③の解析が行われる時刻T3であるとする。この時刻T3の論理シミュレーションにおいて所定の論理素子の入力に変化され（時刻T3）、その後で出力変化を生ずる（時刻T7）ことが検出されると、回

路シミュレータには図7のT4、T5、T8で示される解析予定時刻が登録される。そのような三角波形が回路シミュレータに設定されることにより、論理素子の出力イベントに起因して発生するノイズ成分としての電源ノイズ電流が回路シミュレーションの任意の時刻に取得され、これがアナログ部に付加されて回路シミュレーションが行われることによって、デジタル部の動作による電源電流ノイズの影響を考慮してアナログ部の評価が可能になる。

10 【0030】{デジタル部電流計算方式} 図6には電源ノイズ電流の計算方式の一例が示される。同図に示される方式は、電流波形を例えば三角波に近似する方式であり、上記ステップS6における補正前の計算方式である。同図の(A)に示される例に従えば、論理シミュレーション実行時における論理素子の出力レベルの変化タイミング（出力イベントの発生タイミング）は時間 t_{evn} とされ、この時間を基礎にして t_s 、 t_p 、 t_e 各時刻と、充電又は放電電流のピーク電流値IPとを設定することにより三角波形を定義する。図4の(d)に示される状態遷移図からも明らかなように論理素子の入力イベントの発生は必ずしも出力イベントの発生に結び付かないため、 t_s 、 t_p 、 t_e の各時間は出力イベント発生時刻を基礎に設定される。

【0031】ここで時間TSEとTPEは図6の(B)に示されるような電流波形からモデルパラメータとして得た値である。これに示されるような電流波形は論理素子の種類毎に相違されるものであり、負荷容量の大小に応じてその波形も相違され、負荷容量が大きいほど三角波形の終点位置が遠くなる。三角波形のピーク電流値はMOSFETのようなトランジスタの飽和電流によって決定される。上記充電又は放電電流のピーク電流値IPはMOSFETの飽和電流の式により、

$$IP = 1/2 \cdot \beta_0 \cdot (W/L) \cdot (VDD - V_{th})^2$$
によって演算することができる。また、充放電の終了する時刻 t_e は、

$$t_e = (2/IP) \cdot CL \cdot CLD / CLD_0 \cdot (VH - VL) + t_s$$

によって演算することができる。上記 t_e を求める式において、VHは論理素子に入力されるハイレベルの電圧、VLは論理素子に入力されるローレベルの電圧を意味する。CLD0は一定の標準負荷容量、CLDは論理素子毎に指定した負荷容量、CLは実効的な負荷容量即ちCLD/CLD0の値に対する重み付けの係数を意味する。従って、三角波形の終点位置 t_e は負荷容量依存性が考慮されている。このような三角波形が定義されることにより、論理素子の出力イベントに起因して発生するノイズ成分としての電源ノイズ電流が回路シミュレーションの任意の時刻に取得可能にされる。

【0032】{三角形波の立上がり変形補正} 上記ステップS7におけるデジタル部電流計算の補正内容の第

15

1はステップS6においてモデルパラメータで与えられる波形即ち三角波形の立ち上がり変形の補正である。

【0033】先ず、その様な補正の必要性を説明する。例えば図7において、回路シミュレーションの解析時刻が②の時刻T2まで進み、その後、論理シミュレーションの解析が③の時刻T3まで進んでいるとする。この③で示される時刻T3までの論理シミュレーションにおいて所定の論理素子の入力に変化され(③で示される時刻T3)、その後で出力変化を生ずる(⑦で示される時刻T7)ことが予じめ検出されると、回路シミュレータには図7の④(回路シミュレータによる電流計算開始予定時刻T4)、⑤(三角形波の頂点即ちピーク電流値を採る解析時刻T5)、及び⑥(三角形波の立ち下がり終点に対応される解析予定時刻T8)で示される夫々の解析予定時刻とピーク電流値が登録される。それら登録情報は上記デジタル部電流計算方式に従って決定される。このとき、④で示される回路シミュレータによる電流計算開始予定時刻T4は、回路シミュレータの②で示される現在の解析終了時刻T2よりも遅い時刻にされている。したがって、③の論理シミュレーションの後、回路シミュレータによる電流計算開始予定時刻T4における④の回路シミュレーション、及び三角形波の頂点即ちピーク電流値を採る解析時刻T5における⑤の回路シミュレーションが実行され、その結果、上記三角電流波形で定義される電源ノイズ電流が忠実に回路シミュレーションに反映される。

【0034】一方、図8に示されるように回路シミュレーションの解析時刻が④の時刻T4まで進み、当該④の時刻T4の直近の時刻である⑤の解析時刻T5に論理シミュレータが入力イベントの発生に基づいて出力イベントを検出すると、上記三角形波のモデルに従って回路シミュレータによる電流計算開始予定時刻を設定しようとする。しかしながら、そのように設定しようとする解析予定時刻は既に回路シミュレータによる解析終了された時刻である場合、新たに電流計算開始予定時刻を設定することができず、実質的な電流計算解析時刻は回路シミュレータの現在の解析終了時刻T4にされる。従って、その次の解析時刻において取得される電源ノイズ電流の変化は本来の三角形波によって定義される電流変化に比べて急峻にされる。このような急峻な電流変化は、ボンディングワイヤに寄生するインダクタンス成分のようなインダクタンスを含む電源ネットにおいて取得可能な電源ノイズレベルの誤差を著しく大きくする。すなわち、回路シミュレータの電流計算開始時刻が三角波形発生時刻より遅れてしまうため、モデルパラメータで与えた三角波形の立ち上がり変形が急峻になり、傾きが急峻になってしまう。この結果、大規模回路の電源ネットにインダクタンスを含む場合にデジタル部の電流ノイズピークが、デジタル部と等価なアナログ回路で回路シミュレーションした場合に比べ高くなってしまう。したがって、大規

16

模回路で評価しようとする電源ノイズの精度が低下する。

【0035】そこで、回路シミュレータの電流計算開始時刻が三角波形発生時刻より遅れる場合には、回路シミュレータの電流計算開始時刻T4を三角波形発生時刻として定義して、当該修正した三角波形発生時刻T4からピーク電流発生時刻T7までの電流変化を直線的に変化させるものとする。このとき、モデルパラメータで与える三角波形と面積を同等にするように波形を補正することで、変化した三角波形の傾きを緩和する。すなわち、図9において△ABCはモデルパラメータで与えられる三角波形であり、何等補正を行わない場合には電流波形はDEBCで与えられる多角波形とされ、直線DEの部分における電流変化が急峻とされる。補正された三角波形は△DBFで与えられる三角波形とされる。図から明らかなように直線DBの部分での電流変化率は補正前に比べて緩和される。このとき、三角波形の面積で決定される全体の電流量をモデルパラメータで与えられる三角波形の場合と同一にするため、△ABDの面積と△CBFの面積が等しくなるようにF点の時刻が決定される。補正された三角波形発生時刻 $t_{s'}$ は回路シミュレータの電流計算開始時刻とされ、補正された三角波形終了時刻 $t_{e'}$ は、 $t_{e'} = t_e + TDIS$ とされる。この補正により大規模回路の電源ネットにインダクタンスを含む場合も電流ノイズの精度低下を抑制することができる。

【0036】(三角形波のピーク電流値の補正)上記ステップS7におけるデジタル部電流計算の補正内容の第2はステップS6においてモデルパラメータで与えられる波形即ち三角波形のピーク電流値の補正である。

【0037】図6の(B)に示される代表的な特性曲線の様に三角波形のピーク電流値は負荷容量の大きさに依存して変化される。同図に示される波形WMAXは電流値が飽和電流とされる負荷容量を持つ場合の波形であり、その形状は実質的に最大2等辺三角形として近似できる。この時の負荷容量(スレッシュールド負荷容量と記す)を基準に、負荷容量が更に増える時はピーク電流値は変化されずに全体の面積が増大され、逆に負荷容量がスレッシュールド負荷容量よりも小さい時にはピーク電流値が小さくされた相似形の2等辺三角形とされる。

【0038】ピーク電流値の補正はその様な傾向に着目するものである。図10に示されるように、先ず、上記スレッシュールド負荷容量CLDTHは、

$$CLDTH = IP \cdot CLD0 \cdot (TSE + TPE) / \{ CL \cdot (VH - VL) \}$$

として定義される。そして論理素子毎に指定される負荷容量CLDがスレッシュールド負荷容量CLDTHよりも小さい時($CLD < CLDTH$)にだけピーク電流値を補正する。補正後のピーク電流値 P' は、

$$IP' = \sqrt{IP \cdot CL \cdot CLD \cdot (VH - VL)} /$$

17

$$\{(TSE+TPE) \cdot CLD0\}$$

とされる。補正前の三角波形W1と補正後の三角波形W2とは線分AB上に頂点を持つ相似2等辺三角形とされる。上記関係から時間TSE'、時刻ts'、tp'、te'が決定される。

【0039】{三角形波立上がり時刻の負荷容量依存補正}上記ステップS7におけるデジタル部電流計算の補正内容の第3はステップS6においてモデルパラメータで与えられる三角波形の立上がり時刻を負荷容量の大きさに依存させる補正である。

【0040】先ず、その様な補正の必要性を説明する。例えば図11に示されるように、パラメータ抽出時の負荷容量でデジタル部の電流ノイズを計算する場合、三角波形W10は、論理素子と等価なアナログ回路で回路シミュレーションをして得ることができる結果波形W20と精度良く重なる。ところが、パラメータ抽出時と異なる負荷容量、例えば、図12のようにパラメータ抽出時より大幅に負荷容量を大きくした場合、三角波形の発生時刻を補正しない場合には、三角波形発生時刻の計算に論理素子の遅延時間に対応する負荷容量依存性が考慮されないため、三角波形W11は電流計算の対象となる論理素子と等価なアナログ回路で回路シミュレーションして得られる結果波形W21より発生タイミングが大幅に遅れてしまう。このような遅れは、三角波形の時刻ts、tp、teの夫々の時刻が単に出力イベント発生時刻を基準に決定されるからである。そこで、三角波形計算開始時刻の計算に負荷容量依存性を追加する補正を行うことによって、換言すれば、三角波形発生時刻を負荷容量に依存させる補正を行うことによって、回路シミュレーション結果波形W21とのタイミング的な誤差を抑えようとするものである。W31はそのような補正された三角波形である。

【0041】上記補正の手法は図13に示される。三角波形発生時刻を負荷容量に依存させる補正においては、時間TSEは \sqrt{CLD} に比例するという仮定を導入する。この仮定は実験的若しくは経験的に得られた仮定である。これに従えば、補正後の時間TSE'は、 $TSE' = \{TSE / \sqrt{CLD0}\} \cdot \sqrt{CLD}$ とされる。補正後の三角波形W31は当該補正前の三角波形W11と相似形とされる。

【0042】{電流計算用等価回路部}上記必要に応じて各種補正された三角波形が回路シミュレータに設定される。そのような三角波形は電流計算用等価回路部として実現される。例えば、図14に示されるように、電源ノイズ成分としての電流はデジタル部における電流源A1、A2として把握される。電流源A1は電源VDDから電流を取り込み、電流源A2は電源GNDに電流を放出する。回路シミュレーションにおいて上記電流源A1、A2は、解析時刻が進にしたがって上記三角波形に従った電流を発生するものとされる。例えば図1の1解

18

析点分の回路シミュレーションステップS10において図3に示される範囲での回路シミュレーションが行われるものとする。電源ネットNETv、NETgと、これに結合される前記電流源A1、A2と、アナログブロックABLK8とに対して回路シミュレーションが行われる。デジタルブロックDBLK7に関する前記電流源A1、A2を電源ネットNETv、NETgの対応ノードに結合したモデルは電流計算用等価回路部若しくは電源ノイズモデルとされる。斯る電源ノイズモデルを回路シミュレーションの対象コンポーネントに含めることにより、デジタルブロックDBLK7の動作で発生すると予想される電源ノイズの影響を考慮した回路シミュレーションが可能になる。すなわち、論理素子の出力イベントに起因して発生するノイズ成分としての電源ノイズ電流が回路シミュレーションの任意の時刻に取得され、これがアナログ部に付加されて回路シミュレーションが行われることによって、デジタル部の動作による電源電流ノイズの影響を考慮してアナログ部の評価が可能になる。

【0043】{ミックスモードシミュレータ}図15には前記ミックスモードシミュレーション方法を実現するためのシミュレータの一例ブロック図が示される。このミックスモードシミュレータは、特に制限されないが、アナログ/デジタル混在回路の動作を検証可能なものであり、論理シミュレーション部1、信号伝達部2、回路シミュレーション部3、論理/回路シミュレーション同期制御部4、電流計算部5、電流計算同期制御部6、電流変換部7、及び電流ノイズ伝達部8を含み、それら機能ブロックは、それぞれ図示しない中央処理装置、中央処理装置の作業領域若しくはデータの一次記憶領域とされるRAM(ランダム・アクセス・メモリ)、補助記憶装置、キーボードやディスプレイ等のマン・マシン・インタフェース、及びシミュレーションのための動作プログラムなどによって実現される。

【0044】前記論理シミュレーション部1は、デジタル部1aとして示されるデジタルブロックに含まれる論理素子に対してその論理モデルに従って論理シミュレーションを行う。デジタル部1aは実際には論理レベルで記述された論理レベルデータによって構成される。信号伝達部2は、論理シミュレーション部1と回路シミュレーション部3との間で信号配線モデルを介した信号伝達を行う。前記電流計算部5は、論理シミュレーション部1に同期して上記デジタル部電流計算時刻や電流値を計算する処理を行う。電流計算同期制御部6はデジタル部の論理素子で発生する容量性負荷に対する充電及び放電動作の発生タイミングを論理シミュレーションに同期して検出する。例えば、論理素子への入力イベントの発生に対して出力イベントがいつ発生するかなどのタイミングを検出する。出力イベントの発生タイミングが検出されると、電流計算部5にデジタル部電流

計算時刻やピーク電流値の演算、さらには、その補正演算を指示する。その演算法は図13、図10、図9、及び図6に基づいて説明した手法とされる。前記電流変換部7は、前記電流計算部5で取得した電流に対して所定のしきい値以下の値を無視して前記電流ノイズ伝達部8への伝達を抑制する。電流ノイズ伝達部8は電流変換部7を通して与えられる過渡電流を電源系統に着目した電源ネットを介して前記回路シミュレーション部3に電源ノイズとして伝達する。前記回路シミュレーション部3は、アナログ部3aとして図示されるアナログブロック（回路レベルで記述された回路レベルデータ）に対して回路シミュレーションを行うものであり、電流ノイズ伝達部8から与えられる電流計算用等価回路部（電流源及び電源ネット）や、号伝達部2を介して与えられる論理シミュレーションの結果情報も回路シミュレーションのコンポーネントとされる。

【0045】上記実施例によれば以下の作用効果がある。

(1) 三角形波の電流計算開始時刻が既に回路シミュレータによる解析終了された時刻である場合、換言すれば、回路シミュレータの電流計算開始時刻が三角波発生時刻より遅れてしまう場合、回路シミュレータの実際の電流計算開始時刻を三角波発生時刻とする三角波形成立上がり変形補正を採用するので、電源ノイズ電流の変化が本来の三角形波によって定義される電流変化に比べて急峻にされるおそれを解消できる。換言すれば、電流計算のためにモデル化された三角形波に対して電流計算開始時刻が遅れても電流の急峻な立ち上がり変化を防止して電源ノイズ電流を計算できる。この補正により、ボンディングワイヤに寄生するインダクタンス成分のようなインダクタンスを含む電源ネットにおいて取得可能な電源ノイズレベルの誤差が著しく大きくなるという事態を防止でき、大規模回路で評価しようとする電源ノイズレベルを高い精度で評価できる。

(2) 大規模回路の電源ノイズを評価するために論理素子の遅延時間に対応する負荷容量毎にモデルパラメータを抽出して対処することも可能である。三角波を計算する論理素子の遅延時間に対応する負荷容量の大きさに応じて三角波の発生時刻を補正することにより、換言すれば、ミックスモードシミュレーションにおける電源電流ノイズの電流開始時刻に負荷容量依存性を持たせることにより、負荷容量の異なる同種の論理素子に対するモデルパラメータを1つのモデルパラメータで補うことができるため、デジタル部の電流ノイズをシミュレーションするために使用するモデルパラメータの抽出回数を削減できるという効果がある。

(3) 電流ピーク値の補正さらには三角波の終点位置補正によってもミックスモードシミュレーションにおいて回路シミュレーションで反映すべきデジタル部の電源ノイズ計算の精度を向上させることができる。

【0046】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。例えば、デジタル部電流計算の具体的な演算方式やその補正の具体的な演算方式は上記実施例に限定されず適宜変更可能である。また、過渡電流を近似される波形形状は三角形に限定されず、その他の多角形状や曲線形状であってもよい。但し、三角形が最も単純で且つ必要な精度が得られ、計算機処理時間も短縮できる。上記実施例では論理素子が動作することによって発生する電流変化を論理素子の出力の遷移状態に着目した電流モデルに従って検出するが、論理素子の入力ノードの変化によって一義的に検出してもよい。例えば、入力信号からそれを正転並びに反転させた相補レベルの信号を生成するような論理素子の場合である。また、論理素子の入力ノードの状態と出力ノードの状態とを組み合わせた状態に応じて電流発生タイミングを検出するような電流モデルを採用してもよい。また、電源ノイズ電流の値がどのように小さくても電流源を割り当てて回路シミュレーションに反映させてもよい。

【0047】上記実施例では論理シミュレーションと回路シミュレーションを一括して行う場合について説明したが、デジタル回路部分の動作に伴う電源ノイズの評価にも単独で利用することができる。即ち、デジタルブロックに対する論理シミュレーションを行い、論理素子の論理動作が発生したときに当該論理動作と同期的に電源電流を演算していく。この処理を所定の解析時間分を行うことによって電源電流のピーク値を得ることができる。このピーク値を電源ネットのような電源系統に与えることによって、VDDのレベル降下やGNDのレベル上昇といった電源ノイズの予測が可能になる。また、論理シミュレーションはゲート・レベルのシミュレーションに限定されず、レジスタ・トランスファ・レベルや機能記述レベルの論理シミュレーションであってもよい。

【0048】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるアナログ/デジタル混在型の半導体集積回路に対するシミュレーションに適用した場合について説明したが、本発明はそれに限定されるものではなく、専らデジタル的に動作する半導体集積回路、さらには半導体基板以外の配線基板上に構成された回路のためのシミュレーションにも広く適用することができる。また、シミュレーションの目的もアナログ/デジタル混在回路の一括シミュレーションに限定されず、電源ノイズマージンの評価、電源ノイズによるディレイ、誤動作の評価に適用することができることは言うまでもない。

【0049】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記

の通りである。

【0050】(1) 第1の補正処理は、所定形状に近似された波形例えば三角波形を計算するデジタル部の遅延時間に対応する負荷容量の大きさに応じて上記波形の発生時刻を早い時期に補正する。一つのモデルパラメータに従って所定形状に近似された過渡電流の波形を負荷容量の異なる条件で使用するとき、上記第1の補正処理を施さない場合には、デジタル部の入力変化から出力状態の変化までの時間が延びても所定形状波形の発生時刻は出力状態の変化時間を基準に与えられるため、デジタル部での電源ノイズの発生時刻に大きな誤差が生じる。したがって、上記所定形状波形の発生時刻の計算にデジタル部の遅延時間に対応する負荷容量の影響を考慮することにより、ミックスモードシミュレーションによる電源ノイズの評価精度を向上させることができる。

【0051】(2) 更に上記(1)においては、負荷容量毎にモデルパラメータを用意する必要も無いので、モデルパラメータの準備に必要な多大な計算機処理時間の増大も抑制することができる。すなわち、負荷容量の異なる同種の論理素子に対するモデルパラメータを1つのモデルパラメータで補うことができるため、デジタル部の電流ノイズをシミュレーションするために使用するモデルパラメータの抽出回数を削減できるという効果がある。

【0052】(3) 第2の補正処理は、回路シミュレータの過渡電流計算開始時刻が所定形状波形の発生時刻より遅れる場合に、回路シミュレータの過渡電流計算開始時刻を、所定形状に近似された波形例えば三角波形の発生時刻として定義する。したがって、当該波形形状が途中で折れ曲がってその傾きが部分的に急峻になること、換言すれば、その部分で発生されるとしてアナログ部に付加される電流の立上がり変化が急峻になることが抑制され、インダクタンス成分を含む電源ネットを持つ回路のシミュレーションに対して電源ノイズレベルの予測を困難にする事態を防止することができる。

【0053】(4) 更に上記第2の補正処理では、過渡電流開始時刻が補正された所定形状の波形の面積を、当該補正前の形状の面積と同一とするように、波形の終点位置も補正する。したがって、補正前後における過渡電流の合計値は同一であることを保証し、過渡電流の総量の変化による影響の発生を未然に防止することができる。

【0054】(5) 所定形状波形によって決定される過渡電流のピーク電流が飽和電流であるときの負荷容量を基準に、デジタル部の負荷容量が上記飽和電流に対応される負荷容量よりも小さい時は第3の補正処理を行い、大きい時は第4の補正処理を行うことにより、過渡電流を近似する波形と実際の過渡電流波形との負荷容量依存性に対して高精度に整合させることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るミックスモードシミュレーションにおけるデジタル部電流計算処理に着目したフローチャートである。

【図2】シミュレーション対象回路としてのアナログ／デジタル混在回路をアナログ部、デジタル部、及び電源ネットに分割する概念的な分割態様の一例説明図である。

【図3】シミュレーションの前準備で用意される回路記述データと論理記述データの概念図である。

10 【図4】ナンドゲートを論理素子の一例としたときにおける論理モデルと電流モデルの一例説明図である。

【図5】論理素子への入力データなど論理記述データに含まれる情報内容を説明するためのタイミングチャートである。

【図6】デジタル部電流計算方式の一例説明図である。

【図7】三角波形立上がり変形補正を必要としない場合のデジタル部電流計算の過渡解析タイムチャートである。

20 【図8】三角波形立上がり変形補正を必要とする場合のデジタル部電流計算の過渡解析タイムチャートである。

【図9】三角波形立上がり変形補正方式の一例説明図である。

【図10】三角波形ピーク電流値の補正方式の一例説明図である。

30 【図11】パラメータ抽出時の負荷容量を採用して論理シミュレーションを行ったときの論理素子出力動作に伴う三角波形が、当該論理素子と等価なアナログ回路で回路シミュレーションを行って得られる波形と精度良く一致される状態を示す説明図である。

【図12】パラメータ抽出時よりも大きな負荷容量を採用して論理シミュレーションを行ったときの論理素子出力動作に伴う三角波形が当該論理素子と等価なアナログ回路で回路シミュレーションを行って得られる波形と大きくずれる状態を示す説明図である。

【図13】三角形波立上がり時刻の負荷容量依存補正方式の一例説明図である。

【図14】電流計算用等価回路部の一例説明図である。

40 【図15】本発明の一実施例に係るミックスモードシミュレータのブロック図である。

【符号の説明】

t_s , t_p , t_e デジタル部電流計算時刻

I_P ピーク電流値

t_s' 補正された三角波形発生時刻

1 論理シミュレーション部

2 信号伝達部

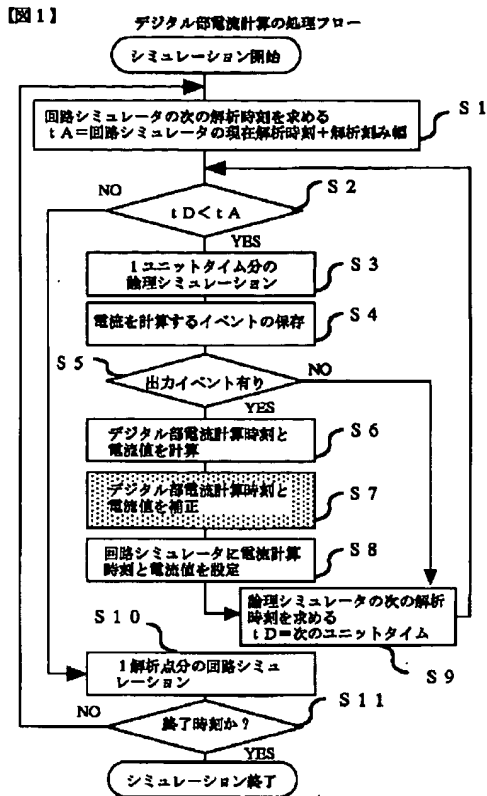
3 回路シミュレーション部

4 論理／回路シミュレーション同期制御部

50 5 電流計算部

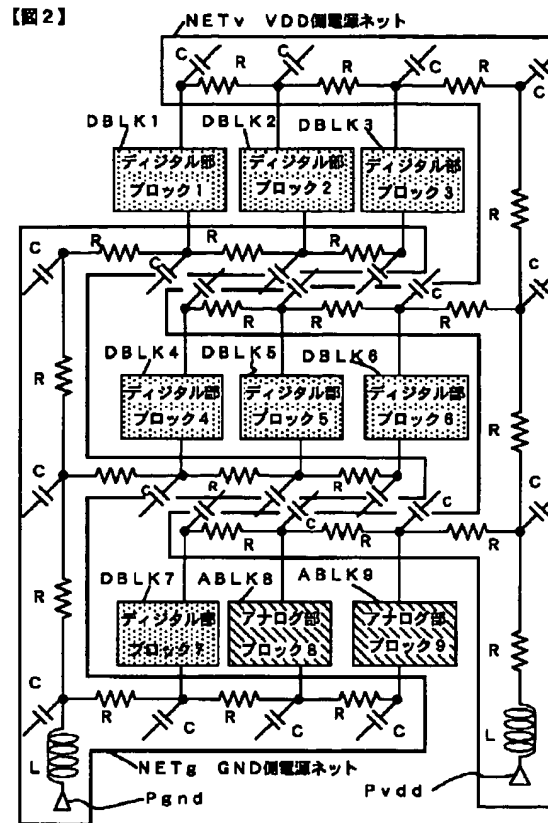
- 6 電流計算同期制御部
7 電流変換部
8 電流ノイズ伝達部

【図1】

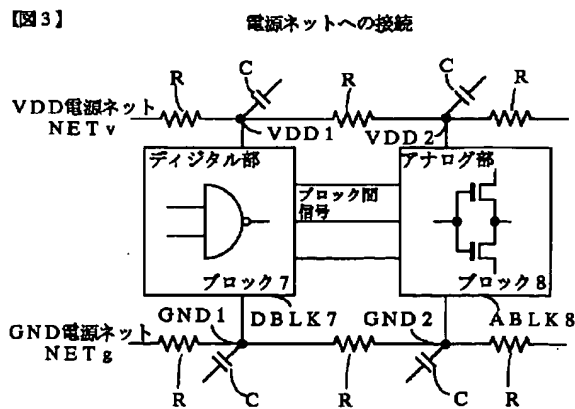


- DBLK1乃至DBLK7 デジタルブロック
ABLK8及びABLK9 アナログブロック
NETv, NETg 電源ネット

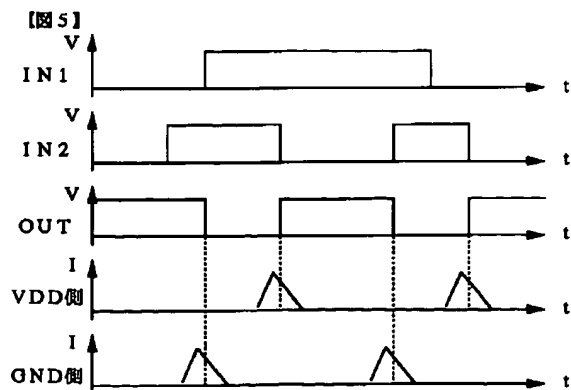
【図2】



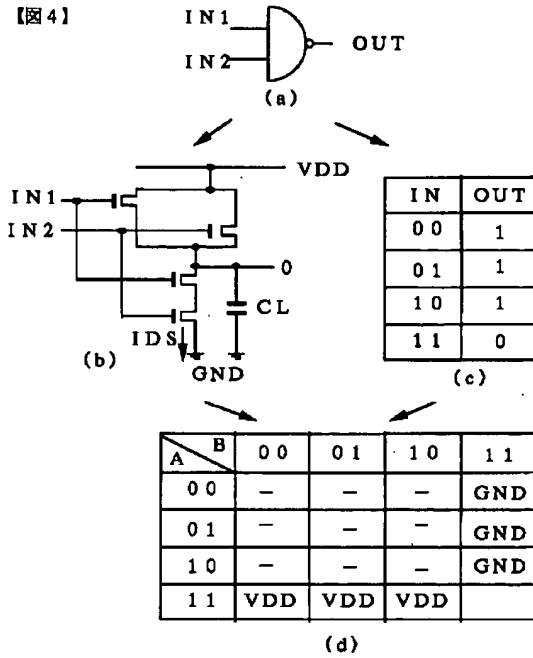
【図3】



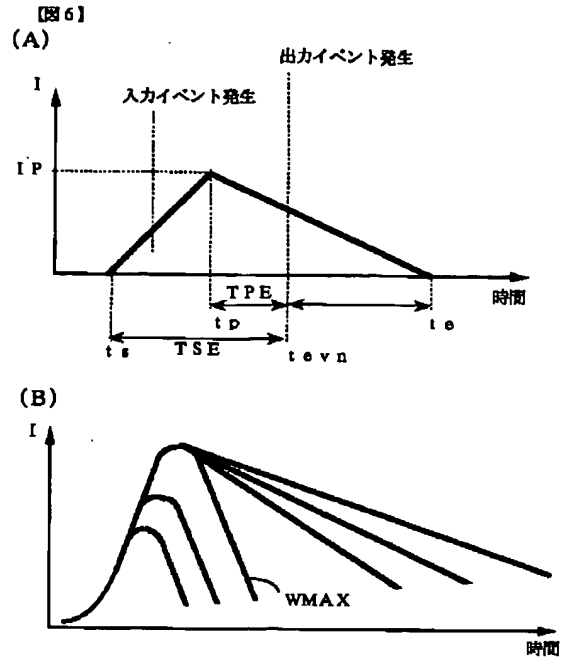
【図5】



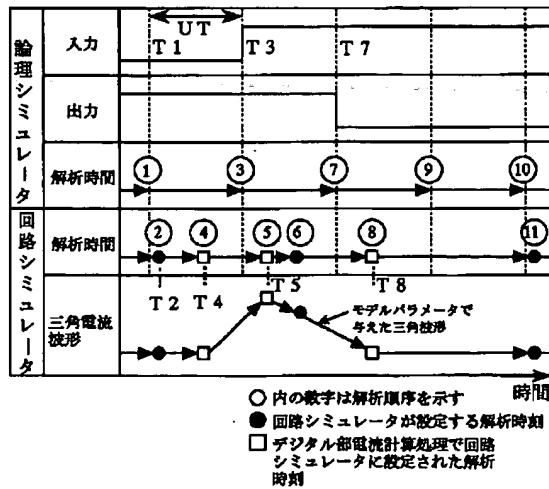
【図4】



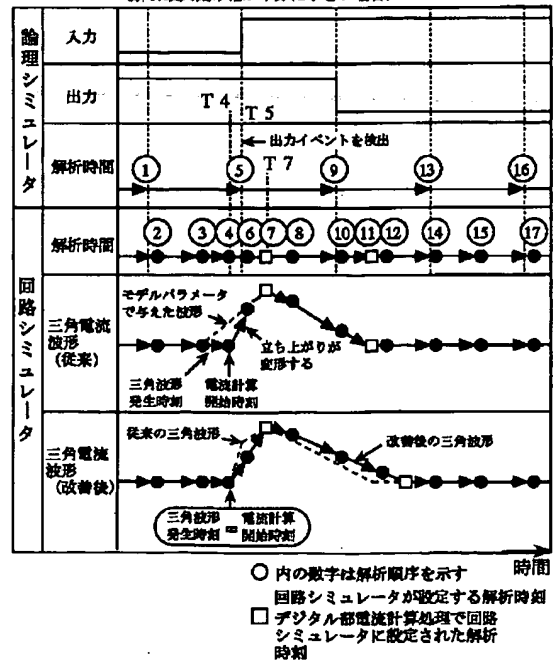
【図6】



【図7】

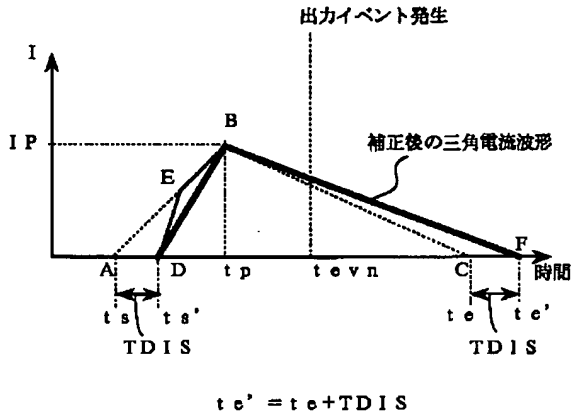
【図7】 デジタル部電流計算の適格解析タイムチャート
(解析最大刻み幅が十分に小さい場合)

【図8】

【図8】 デジタル部電流計算の適格解析タイムチャート
(解析最大刻み幅が十分に小さい場合)

【図9】

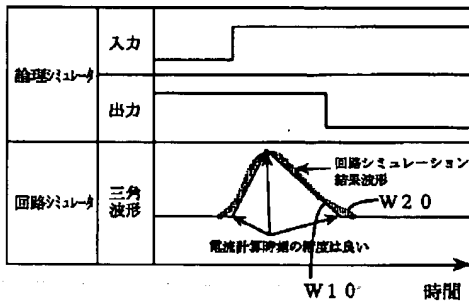
【図9】



【図11】

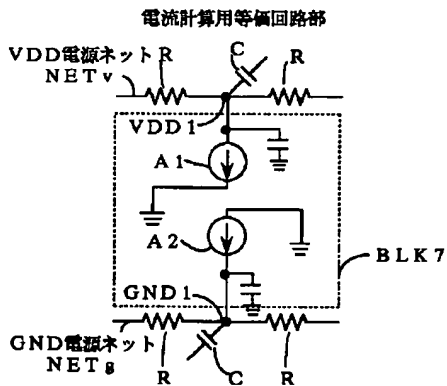
【図11】

パラメータ抽出時の負荷容量で
シミュレーションした場合の三角波形



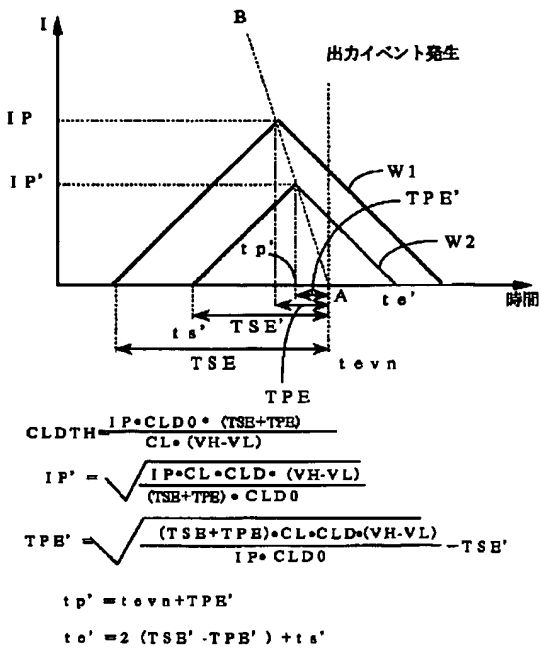
【図14】

【図14】



【図10】

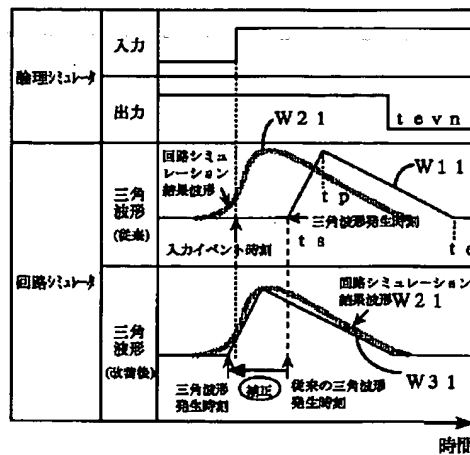
【図10】



【図12】

【図12】

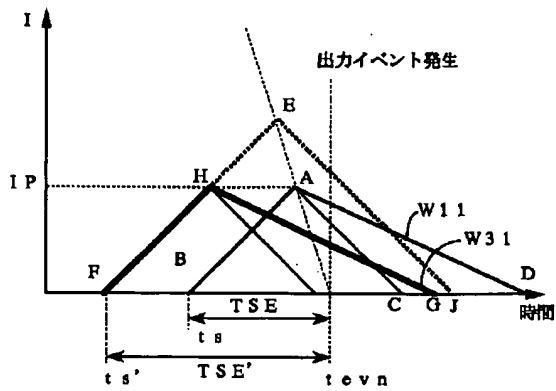
負荷容量を適化させてシミュレーションした場合の三角波形
(パラメータ抽出時より負荷容量を大きくした場合の例)



【図13】

【図13】

(A)

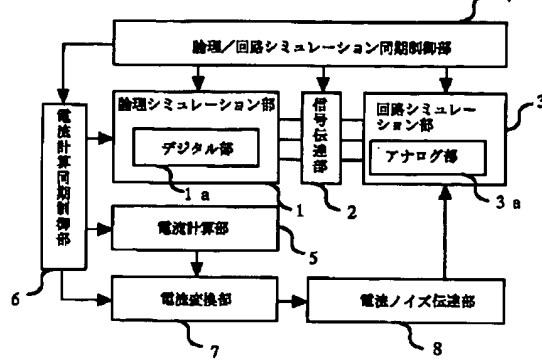


$$TSE' = \frac{TSE}{\sqrt{CLD0}} \cdot \sqrt{CLD}$$

【図15】

【図15】

マックスヤードシミュレータの構成図



フロントページの続き

(72)発明者 杉原 仁

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内